(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2000－269487
（P2000－269487A）
(43)公開日　平成12年９月29日(2000.9.29)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　29/78		Ｈ０１Ｌ　29/78	６５３Ａ	
			６５２Ｊ	

審査請求　未請求　請求項の数７　ＯＬ　（全 ９ 頁）

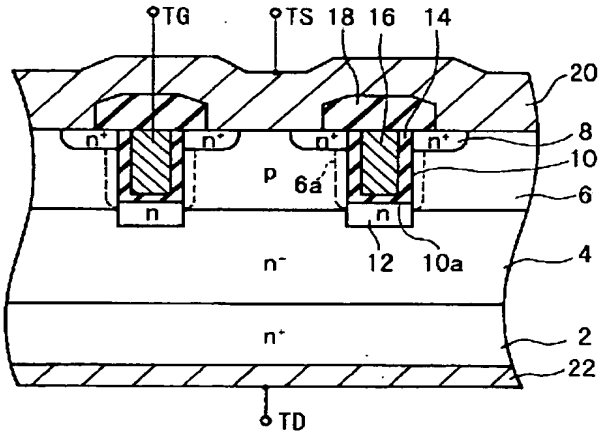
(21)出願番号　特願平11－68073

(22)出願日　平成11年３月15日(1999.3.15)

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(71)出願人　591148347
加賀東芝エレクトロニクス株式会社
石川県能美郡辰口町字岩内１番地１
(72)発明者　鈴木　健之
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝多摩川工場内
(72)発明者　若狭　外樹
石川県能美郡辰口町岩内１番地１　加賀東芝エレクトロニクス株式会社内
(74)代理人　100058479
弁理士　鈴江　武彦　（外６名）

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】スイッチング損失を低減し、かつ耐圧を向上させることができ、さらに低オン抵抗化も可能な半導体装置及びその製造方法を提供する。
【解決手段】ｎ＋半導体基板２上にはｎ－エピタキシャル層４が形成され、このｎ－エピタキシャル層４上にはベース領域（ｐ形領域）６が形成されている。ベース領域６の上部にはソース領域（ｎ＋領域）８が形成され、ベース領域６内にはソース領域８を突ら抜き、ベース領域６の層厚より浅いトレンチ１０が形成されている。トレンチ１０の底面下には、トレンチの底面１０ａからｎ－エピタキシャル層４に達するように、ｎ－エピタキシャル層４以上の濃度のｎ形領域１２が形成されている。そして、トレンチ１０の側面上及び底面上には、ゲート絶縁膜１４が形成され、このゲート絶縁膜１４上にはゲート電極１６が形成されている。



1

【特許請求の範囲】

【請求項１】　半導体基板上に形成された第１導電形の第１の半導体領域と、

前記第１の半導体領域上に形成された第２導電形の第２の半導体領域と、

前記第２の半導体領域内に形成された第１導電形の第３の半導体領域と、

前記第２の半導体領域内に前記第３の半導体領域を突ら抜いて形成された、前記第２の半導体領域の層厚より浅いトレンチと、

前記トレンチの底面下に、前記トレンチの底面から前記第１の半導体領域に達するように形成された、第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域と、

前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

を具備することを特徴とする半導体装置。

【請求項２】　半導体基板上に形成された第１導電形の第１の半導体領域と、

前記第１の半導体領域上に形成された第２導電形の第２の半導体領域と、

前記第２の半導体領域内に形成された第１導電形の第３の半導体領域と、

前記第２の半導体領域内に前記第３の半導体領域を突ら抜いて形成された、前記第２の半導体領域の層厚より浅いトレンチと、

前記トレンチの底面下の前記第２の半導体領域に形成された、第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域と、

前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

を具備することを特徴とする半導体装置。

【請求項３】　半導体基板上に形成された第１導電形の第１の半導体領域と、

前記第１の半導体領域上に形成された第２導電形の第２の半導体領域と、

前記第２の半導体領域内に形成された第１導電形の第３の半導体領域と、

前記第２の半導体領域内に前記第３の半導体領域を突ら抜いて形成された、前記第２の半導体領域の層厚より浅いトレンチと、

前記トレンチの底面下の前記第２の半導体領域及びこの第２の半導体領域下の第１の半導体領域に形成された、第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域と、

前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

2

を具備することを特徴とする半導体装置。

【請求項４】　前記第４の半導体領域の濃度は、耐圧の低下を招かない範囲内で設定されることを特徴とする請求項１乃至３のいずれかに記載の半導体装置。

【請求項５】　半導体基板上に第１導電形の第１の半導体領域を形成する工程と、

前記第１の半導体領域の上部に、第２導電形の第２の半導体領域を形成する工程と、

前記第２の半導体領域の上部に、第１導電形の第３の半導体領域を形成する工程と、

前記第２の半導体領域内に、前記第３の半導体領域を突ら抜いて前記第２の半導体領域の層厚より浅いトレンチを形成する工程と、

前記トレンチの底面下に、前記トレンチの底面から前記第１の半導体領域に達するように第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域を形成する工程と、

前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の内面上にゲート電極を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項６】　半導体基板上に第１導電形の第１の半導体領域を形成する工程と、

前記第１の半導体領域の上部に、第２導電形の第２の半導体領域を形成する工程と、

前記第２の半導体領域の上部に、第１導電形の第３の半導体領域を形成する工程と、

前記第２の半導体領域内に、前記第３の半導体領域を突ら抜いて前記第２の半導体領域の層厚より浅いトレンチを形成する工程と、

前記トレンチの底面下の前記第２の半導体領域に、第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域を形成する工程と、

前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の内面上にゲート電極を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項７】　半導体基板上に第１導電形の第１の半導体領域を形成する工程と、

前記第１の半導体領域の上部に、第２導電形の第２の半導体領域を形成する工程と、

前記第２の半導体領域の上部に、第１導電形の第３の半導体領域を形成する工程と、

前記第２の半導体領域内に、前記第３の半導体領域を突ら抜いて前記第２の半導体領域の層厚より浅いトレンチを形成する工程と、

前記トレンチの底面下の前記第２の半導体領域及びこの第２の半導体領域下の第１の半導体領域に、第１導電形

で前記第１の半導体領域以上の濃度の第４の半導体領域を形成する工程と、
前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の内面上にゲート電極を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、電力分野などで利用される半導体装置及びその製造方法に係わり、特に制御電極へのバイアス印加によってスイッチング動作を制御するパワーＭＯＳＦＥＴ及びその製造方法に関するものである。
【０００２】
【従来の技術】近年、電力変換や電力制御が行われる場合、パワー半導体装置が不可欠なデバイスであり、なかでもパワー半導体装置の一種であるパワーＭＯＳＦＥＴは、その優れた高速スイッチング性能が注目され、スイッチング電源分野などでキーデバイスとして用いられている。
【０００３】以下に従来のパワーＭＯＳＦＥＴの中のトレンチ型ｎチャネルパワーＭＯＳＦＥＴの構成を図面を用いて説明する。
【０００４】図９は、従来のトレンチ型パワーＭＯＳＦＥＴの構造を示す断面図である。半導体層内にはほぼＵ字形状の溝（以下トレンチと記す）が形成されており、トレンチ型パワーＭＯＳＦＥＴはこのトレンチ内に制御電極であるゲート電極が埋め込まれた構造を有している。
【０００５】図９に示すように、ｎ＋半導体基板１０２上にはｎ－エピタキシャル層１０４が形成され、このｎ－エピタキシャル層１０４上にはベース領域（ｐ形領域）１０６が形成されている。さらに、ベース領域１０６の上部には、ソース領域（ｎ＋領域）１０８が形成されている。前記ｎ＋半導体基板１０２及びｎ－エピタキシャル層１０４はドレイン領域である。
【０００６】また、前記ソース領域１０８及びベース領域１０６を貫いてｎ－エピタキシャル層１０４に突き出すようにトレンチ１１０が形成されており、このトレンチ１１０内にはゲート絶縁膜１１２とゲート電極１１４が形成されている。ゲート電極１１４上には層間絶縁膜１１６が形成され、さらに全面にはソース領域１０８とベース領域１０６に電気的に接続するように形成されたソース電極１１８が設けられている。また、前記ゲート電極１１４、ソース電極１１８、及びｎ＋半導体基板１０２（ドレイン領域）には、それぞれゲート端子ＴＧ、ソース端子ＴＳ、及びドレイン端子ＴＤが接続されている。以上のような構造を、従来のトレンチ型パワーＭＯＳＦＥＴは有している。

【０００７】
【発明が解決しようとする課題】前述したような構造を有するトレンチ型パワーＭＯＳＦＥＴでは、本来、トレンチ１１０の深さはベース領域１０６の底面と同一面上に一致するのが特性上最もよいが、製造装置によるプロセスのばらつき等、プロセスマージンを考慮して必要以上にベース領域１０６からトレンチ１１０が突き出すような構造にしている。
【０００８】しかしながら、ベース領域１０６からトレンチ１１０の突き出し量が多くなると、ゲート電極１１４とｎ－エピタキシャル層１０４（ドレイン領域）との対向する面積が多くなり、ゲート電極とドレイン領域との間の容量（以下ゲート－ドレイン容量と記す）が非常に大きくなってしまう。ゲート－ドレイン容量が大きい場合、高速スイッチング動作が必要な用途においては、スイッチング速度の低下や電力損失などが大きくなり、スイッチング損失が増大するという問題が発生する。さらに、トレンチ１１０の突き出し量が多いと、トレンチ底部のコーナ近傍において電界集中が発生し、ドレイン領域とベース領域との間の耐圧が低下してしまう。
【０００９】そこでこの発明は、前記課題に鑑みてなされたものであり、スイッチング損失を低減し、かつ耐圧を向上させることができ、さらに低オン抵抗化も可能な半導体装置及びその製造方法を提供することを目的とする。
【００１０】
【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体装置は、半導体基板上に形成された第１導電形の第１の半導体領域と、前記第１の半導体領域上に形成された第２導電形の第２の半導体領域と、前記第２の半導体領域内に形成された第１導電形の第３の半導体領域と、前記第２の半導体領域内に前記第３の半導体領域を突き抜いて形成された、前記第２の半導体領域の層厚より浅いトレンチと、前記トレンチの底面下に、前記トレンチの底面から前記第１の半導体領域に達するように形成された、第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域と、前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備することを特徴とする。
【００１１】また、この発明に係る半導体装置は、半導体基板上に形成された第１導電形の第１の半導体領域と、前記第１の半導体領域上に形成された第２導電形の第２の半導体領域と、前記第２の半導体領域内に形成された第１導電形の第３の半導体領域と、前記第２の半導体領域内に前記第３の半導体領域を突き抜いて形成された、前記第２の半導体領域の層厚より浅いトレンチと、前記トレンチの底面下の前記第２の半導体領域に形成された、第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域と、前記トレンチの側面上及び底面上

5

に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備することを特徴とする。

【００１２】また、この発明に係る半導体装置は、半導体基板上に形成された第１導電形の第１の半導体領域と、前記第１の半導体領域上に形成された、第２導電形の第２の半導体領域と、前記第２の半導体領域内に形成された第１導電形の第３の半導体領域と、前記第２の半導体領域内に前記第３の半導体領域を突ら抜いて形成された、前記第２の半導体領域の層厚より浅いトレンチと、前記トレンチの底面下の前記第２の半導体領域及びこの第２の半導体領域下の第１の半導体領域に形成された、第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域と、前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備することを特徴とする。

【００１３】また、この発明に係る半導体装置の製造方法は、半導体基板上に第１導電形の第１の半導体領域を形成する工程と、前記第１の半導体領域の上部に、第２導電形の第２の半導体領域を形成する工程と、前記第２の半導体領域の上部に、第１導電形の第３の半導体領域を形成する工程と、前記第２の半導体領域内に、前記第３の半導体領域を突ら抜くように前記第２の半導体領域の層厚より浅いトレンチを形成する工程と、前記トレンチの底面下に、前記トレンチの底面から前記第１の半導体領域に達するように第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域を形成する工程と、前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の内面上にゲート電極を形成する工程とを具備することを特徴とする。

【００１４】また、この発明に係る半導体装置の製造方法は、半導体基板上に第１導電形の第１の半導体領域を形成する工程と、前記第１の半導体領域の上部に、第２導電形の第２の半導体領域を形成する工程と、前記第２の半導体領域の上部に、第１導電形の第３の半導体領域を形成する工程と、前記第２の半導体領域内に、前記第３の半導体領域を突ら抜くように前記第２の半導体領域の層厚より浅いトレンチを形成する工程と、前記トレンチの底面下の前記第２の半導体領域に、第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域を形成する工程と、前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の内面上にゲート電極を形成する工程とを具備することを特徴とする。

【００１５】また、この発明に係る半導体装置の製造方法は、半導体基板上に第１導電形の第１の半導体領域を形成する工程と、前記第１の半導体領域の上部に、第２導電形の第２の半導体領域を形成する工程と、前記第２の半導体領域の上部に、第１導電形の第３の半導体領域を形成する工程と、前記第２の半導体領域内に、前記第３の半導体領域を突ら抜くように前記第２の半導体領域

6

の層厚より浅いトレンチを形成する工程と、前記トレンチの底面下の前記第２の半導体領域及びこの第２の半導体領域下の第１の半導体領域に、第１導電形で前記第１の半導体領域以上の濃度の第４の半導体領域を形成する工程と、前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の内面上にゲート電極を形成する工程とを具備することを特徴とする。

【００１６】

【発明の実施の形態】以下、この発明の実施の形態の半導体装置として、トレンチ型パワーＭＯＳＦＥＴについて説明する。このトレンチ型パワーＭＯＳＦＥＴでは、半導体層に形成されたほぼＵ字形状の溝（トレンチ）内に制御電極であるゲート電極が形成されており、トレンチ底部の半導体層には不純物がイオン注入された所定の拡散領域が形成される。ここでは、このトレンチ型パワーＭＯＳＦＥＴの耐圧を３０Ｖ程度に想定し、各部の条件を述べる。

【００１７】図１は、この発明の第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの構造を示す断面図である。

【００１８】図１に示すように、高濃度のｎ形半導体基板（ｎ＋半導体基板）２上には低濃度のｎ形エピタキシャル層（ｎ－エピタキシャル層）４が厚さ３μｍ程度形成され、このｎ－エピタキシャル層４上にはｐ形領域からなるベース領域６が厚さ２μｍ程度形成されている。このベース領域６の上層には、高濃度のｎ形領域（ｎ＋領域）からなるソース領域８が深さ０．３μｍ～０．４μｍ程度形成されている。なお、前記ｎ＋半導体基板２には、不純物濃度（キャリア濃度）が１．０×10^{18}～１．０×10^{19}［cm^{-3}］程度の基板が用いられ、またｎ－エピタキシャル層４の不純物濃度は２．０×10^{15}［cm^{-3}］程度とする。前記ｎ＋半導体基板２及びｎ－エピタキシャル層４はドレイン領域である。

【００１９】また、前記ソース領域８の表面からベース領域６内に亘って、トレンチ１０が表面から１．８μｍ程度の深さで形成されている。このトレンチ１０は、その底面１０ａがｎ－エピタキシャル層４に到達しないように、ベース領域６内に留まるように形成される。このトレンチ１０の底面１０ａ下のベース領域６及びｎ－エピタキシャル層４には、図１に示すように、ｎ－エピタキシャル層４と同程度か、あるいはこれより若干高い濃度のｎ形領域１２が層厚０．５μｍ程度形成されている。このｎ形領域１２は、デバイスのオン時にはチャネル領域６ａとｎ－エピタキシャル層４との間の電流通路となるため、低抵抗、すなわち高濃度のほうがよい。しかし、ｎ形領域１２は、デバイスのオフ時には耐圧を維持するための空乏層が形成される領域であり、濃度が高すぎると空乏層ができにくくなるため、耐圧が低下する。したがって、ｎ形領域１２の濃度は、ｎ－エピタキシャル層４と同程度か、あるいは耐圧が問題にならない

範囲内で高濃度に設定する。ここでは、ｎ形領域１２の不純物濃度は２．０×１０^{15}～４．０×１０^{15}［ｃｍ$^{-3}$］程度とする。

【００２０】さらに、トレンチ１０の側面上及び底面１０ａ（ｎ形領域１２）上にはシリコン酸化膜等からなるゲート絶縁膜１４が厚さ５００Å～１０００Å程度形成され、このゲート絶縁膜１４の内面上にはトレンチ１０を埋め込むようにポリシリコン膜からなるゲート電極１６が形成されている。前記ゲート電極１６上には層間絶縁膜１８が厚さ０．６μｍ～１μｍ程度形成され、この層間絶縁膜１８上を含むベース領域６上及びソース領域８上にはソース領域８とベース領域６に電気的に接続されたソース電極（Ａｌ等）２０が形成されている。

【００２１】また、ｎ＋半導体基板（ドレイン領域）２の裏面上には、ニッケル（Ｎｉ）、金（Ａｕ）等からなるドレイン電極２２がｎ＋半導体基板２と電気的に接続されるように形成されている。さらに、前記ゲート電極１６はゲート端子ＴＧに電気的に接続され、ソース電極２０はソース端子ＴＳに、ドレイン電極２２はドレイン端子ＴＤに電気的に接続されている。

【００２２】次に、前記第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの動作について説明する。まず、ソース端子ＴＳに対してゲート端子ＴＧに正の電圧を印加する。例えば、ソース端子ＴＳに負電圧あるいはアース電位を印加し、ゲート端子ＴＧに正電圧を印加する。すると、ゲート絶縁膜１４近傍のチャネル領域６ａに反転層（チャネル）が誘起される。さらに、ソース端子ＴＳに対してドレイン端子ＴＤにも正の電圧を印加すると、このパワーＭＯＳＦＥＴはオン状態となり、電子電流がソース領域８から反転層（チャネル領域６ａ）、ｎ形領域１２を通ってｎ－エピタキシャル層（ドレイン領域）４に流れる。すなわち、ドレイン端子ＴＤからソース端子ＴＳに向かって電流が流れる。

【００２３】一方、ゲート端子ＴＧをソース端子ＴＳと短絡させるか、またはソース端子ＴＳに対して、ゲート端子ＴＧに負の電圧を印加すると、チャネル領域６ａの反転層は消滅し、このパワーＭＯＳＦＥＴはオフ状態となり電流が遮断される。

【００２４】以上のように、このトレンチ型パワーＭＯＳＦＥＴは、ベース領域６内に形成されたトレンチ１０と、このトレンチ１０内にゲート絶縁膜１４を介して形成されたゲート電極１６を有し、ゲート電極１６に正のバイアスを印加することによりゲート絶縁膜１４に接するトレンチ側壁近傍のベース領域（チャネル領域６ａ）にチャネルが形成されるように構成されている。前記トレンチ１０は、チャネルが形成されるベース領域より浅く形成され、さらにトレンチ１０底部にはｎ－エピタキシャル層４に到達し突き出すようにベース領域６とは反対の導電形（ｎ形）で、かつｎ－エピタキシャル層４と同程度あるいはこれより高い濃度のｎ形領域１２が形成

されている。このようにトレンチの深さとトレンチ底部に形成される拡散領域がこの第１の実施の形態の特徴部分である。

【００２５】ところで、図９に示した従来のトレンチ型パワーＭＯＳＦＥＴにおけるトレンチは、ベース領域を突き抜けてｎ－エピタキシャル層に突き出すように形成されており、しかもｎ－エピタキシャル層への突き出し量は製造装置によるプロセスのばらつき等、プロセスマージンを考慮し、深めに設定されている。ベース領域より突き出したｎ－エピタキシャル層内のトレンチ部分では、トレンチ内に形成されたゲート電極とドレイン領域（ｎ－エピタキシャル層）とで対向することとなり、この対向部分はゲート－ドレイン間の容量として形成されることになる。すなわち、従来のトレンチ型パワーＭＯＳＦＥＴでは、製造装置によるプロセスのばらつき等、プロセスマージンを考慮するがゆえに必要以上にゲート－ドレイン間の容量が大きくなっており、これによりスイッチング損失が増大している。

【００２６】これに対して、この第１の実施の形態では、ベース領域からのトレンチの突き出しをなくして、ゲート電極がｎ－エピタキシャル層内に入り込まないようにし、さらにトレンチの底部に形成される拡散領域を、ｎ－エピタキシャル層（ドレイン領域）と同じ導電形で同程度の濃度になるように形成している。これにより、ゲート－ドレイン間の容量を小さくできるため、スイッチング損失を低減することができる。さらに、デバイスのオフ時にトレンチ底部のコーナ付近に発生する電界集中を緩和できるため、ドレイン－ソース間の耐圧を向上させることができる。また、トレンチの底部に形成される前記拡散領域を、耐圧が低下しない範囲内でｎ－エピタキシャル層より高濃度に形成すれば、素子オン抵抗を低減（低オン抵抗化）することも可能である。

【００２７】以上説明したようにこの第１の実施の形態によれば、トレンチをベース領域からドレイン領域に突き出さないように形成し、トレンチ底部のベース領域にｎ－エピタキシャル層（ドレイン領域）と同じ導電形で同濃度の拡散領域を形成することにより、スイッチング損失を低減し、耐圧を向上させた高周波動作に適した素子を提供することができる。また、トレンチ底部の前記拡散領域を、耐圧が低下しない範囲内でｎ－エピタキシャル層（ドレイン領域）より高濃度に形成することにより、素子オン抵抗を低減した素子を提供することができる。

【００２８】次に、この発明の第２の実施の形態のトレンチ型パワーＭＯＳＦＥＴについて説明する。

【００２９】図２は、第２の実施の形態のトレンチ型パワーＭＯＳＦＥＴの構造を示す断面図である。

【００３０】図２に示すように、高濃度のｎ形半導体基板（ｎ＋半導体基板）２上には低濃度のｎ形エピタキシャル層（ｎ－エピタキシャル層）４が厚さ３μｍ程度形

成され、このｎ－エピタキシャル層４上にはｐ形領域からなるベース領域６が厚さ２μｍ程度形成されている。このベース領域６の上層には、高濃度のｎ形領域（ｎ＋領域）からなるソース領域８が深さ０．３μｍ～０．４μｍ程度形成されている。なお、前記ｎ＋半導体基板２には、不純物濃度（キャリア濃度）が１．０×10^{18}～１．０×10^{19}［cm^{-3}］程度の基板が用いられ、またｎ－エピタキシャル層４の不純物濃度は２．０×10^{15}［cm^{-3}］程度とする。前記ｎ＋半導体基板２及びｎ－エピタキシャル層４はドレイン領域である。

【００３１】また、前記ソース領域８の表面からベース領域６内に亘って、トレンチ３０が表面から１．７μｍ程度の深さで形成されている。このトレンチ３０は、その底面３０ａがｎ－エピタキシャル層４に到達しないように、ベース領域６内に留まるように形成される。このトレンチ３０の底面３０ａ下のベース領域６には、図２に示すように、ｎ－エピタキシャル層４と同程度か、あるいはこれより若干高い濃度のｎ形領域３２が層厚０．３μｍ程度形成されている。このｎ形領域３２は、ｎ－エピタキシャル層４と接し、ｎ－エピタキシャル層４内に突き出さないように形成される。このｎ形領域３２は、デバイスのオン時にはチャネル領域６ａとｎ－エピタキシャル層４との間の電流通路となるため、低抵抗、すなわち高濃度のほうがよい。しかし、ｎ形領域３２は、デバイスのオフ時には耐圧を維持するための空乏層が形成される領域であり、濃度が高すぎると空乏層ができにくくなるため、耐圧が低下する。したがって、ｎ形領域３２の濃度は、ｎ－エピタキシャル層４と同程度か、あるいは耐圧が問題にならない範囲内で高濃度に設定する。ここでは、ｎ形領域１２の不純物濃度は２．０×10^{15}～４．０×10^{15}［cm^{-3}］程度とする。

【００３２】さらに、トレンチ３０の側面上及び底面３０ａ（ｎ形領域３２）上にはシリコン酸化膜等からなるゲート絶縁膜１４が厚さ５００Å～１０００Å程度形成され、このゲート絶縁膜１４の内面上にはトレンチ３０を埋め込むようにポリシリコン膜からなるゲート電極１６が形成されている。前記ゲート電極１６上には層間絶縁膜１８が厚さ０．６μｍ～１μｍ程度形成され、この層間絶縁膜１８上を含むベース領域６上及びソース領域８上にはソース領域８とベース領域６に電気的に接続されたソース電極（Ａｌ等）２０が形成されている。

【００３３】また、ｎ＋半導体基板（ドレイン領域）２の裏面上には、ニッケル（Ｎｉ）、金（Ａｕ）等からなるドレイン電極２２がｎ＋半導体基板２と電気的に接続されるように形成されている。さらに、前記ゲート電極１６はゲート端子ＴＧに電気的に接続され、ソース電極２０はソース端子ＴＳに、ドレイン電極２２はドレイン端子ＴＤに電気的に接続されている。

【００３４】すなわち、このトレンチ型パワーＭＯＳＦＥＴでは、トレンチ３０はチャネルが形成されるベース領域より浅く形成され、さらにトレンチ３０底部にはｎ－エピタキシャル層４に接しｎ－エピタキシャル層４内に突き出さないように、ドレイン領域と反対の導電形（ｎ形）で、かつｎ－エピタキシャル層４と同程度あるいはこれより高い濃度のｎ形領域３２が形成されている。このようにトレンチの深さと、ｎ－エピタキシャル層４に接するようにトレンチ底部に形成された拡散領域がこの第２の実施の形態の特徴部分である。

【００３５】このように構成された第２の実施の形態における作用及び効果については、前記第１の実施の形態と同様であるため、詳細な説明は省略する。

【００３６】以上説明したようにこの第２の実施の形態によれば、トレンチをベース領域からドレイン領域に突き出さないように形成し、トレンチ底部のベース領域にｎ－エピタキシャル層（ドレイン領域）と同じ導電形で同濃度の拡散領域を形成することにより、スイッチング損失を低減し、耐圧を向上させた高周波動作に適した素子を提供することができる。また、トレンチ底部の前記拡散領域を、耐圧が低下しない範囲内でｎ－エピタキシャル層（ドレイン領域）より高濃度に形成することにより、素子オン抵抗を低減した素子を提供することができる。

【００３７】次に、この発明の第３の実施の形態のトレンチ型パワーＭＯＳＦＥＴについて説明する。

【００３８】図３は、第３の実施の形態のトレンチ型パワーＭＯＳＦＥＴの構造を示す断面図である。

【００３９】図３に示すように、高濃度のｎ形半導体基板（ｎ＋半導体基板）２上には低濃度のｎ形エピタキシャル層（ｎ－エピタキシャル層）４が厚さ３μｍ程度形成され、このｎ－エピタキシャル層４上にはｐ形領域からなるベース領域６が厚さ２μｍ程度形成されている。このベース領域６の上層には、高濃度のｎ形領域（ｎ＋領域）からなるソース領域８が深さ０．３μｍ～０．４μｍ程度形成されている。なお、前記ｎ＋半導体基板２には、不純物濃度（キャリア濃度）が１．０×10^{18}～１．０×10^{19}［cm^{-3}］程度の基板が用いられ、またｎ－エピタキシャル層４の不純物濃度は２．０×10^{15}［cm^{-3}］程度とする。前記ｎ＋半導体基板２及びｎ－エピタキシャル層４はドレイン領域である。

【００４０】また、前記ソース領域８の表面からベース領域６及びｎ－エピタキシャル層４内に亘って、トレンチ４０が表面から２．４μｍ程度の深さで形成されている。このトレンチ４０は、その底面４０ａがベース領域６を突き抜けてｎ－エピタキシャル層４に突き出すように形成される。このトレンチ４０の底面４０ａ下のｎ－エピタキシャル層４には、図３に示すように、ｎ－エピタキシャル層４より若干高濃度のｎ形領域４２が層厚０．３μｍ程度形成されている。このｎ形領域４２は、デバイスのオン時には電流通路となるため、低抵抗、すなわち高濃度のほうがよい。しかし、ｎ形領域４２は、

デバイスのオフ時には耐圧を維持するための空乏層が形成される領域であり、濃度が高すぎると空乏層ができにくくなるため、耐圧が低下する。したがって、ｎ形領域４２の濃度は、耐圧が問題にならない範囲内でｎ－エピタキシャル層４より高濃度に設定する。ここでは、ｎ形領域４２の不純物濃度は３．０×10^{15}～４．０×10^{15}［cm^{-3}］程度とする。

【００４１】さらに、トレンチ４０の側面上及び底面４０ａ（ｎ形領域４２）上にはシリコン酸化膜等からなるゲート絶縁膜１４が厚さ５００Å～１０００Å程度形成され、このゲート絶縁膜１４の内面上にはトレンチ４０を埋め込むようにポリシリコン膜からなるゲート電極１６が形成されている。前記ゲート電極１６上には層間絶縁膜１８が厚さ０．６μｍ～１μｍ程度形成され、この層間絶縁膜１８上を含むベース領域６上及びソース領域８上にはソース領域８とベース領域６に電気的に接続されたソース電極（Ａｌ等）２０が形成されている。

【００４２】また、ｎ＋半導体基板（ドレイン領域）２の裏面上には、ニッケル（Ｎｉ）、金（Ａｕ）等からなるドレイン電極２２がｎ＋半導体基板２と電気的に接続されるように形成されている。さらに、前記ゲート電極１６はゲート端子ＴＧに電気的に接続され、ソース電極２０はソース端子ＴＳに、ドレイン電極２２はドレイン端子ＴＤに電気的に接続されている。

【００４３】次に、前記第３の実施の形態のトレンチ型パワーＭＯＳＦＥＴの動作について説明する。まず、ソース端子ＴＳに対して、ゲート端子ＴＧに正の電圧を印加する。例えば、ソース端子ＴＳに負電圧あるいはアース電位を印加し、ゲート端子ＴＧに正電圧を印加する。すると、ゲート絶縁膜１４近傍のチャネル領域６ｂに反転層（チャネル）が誘起される。さらに、ソース端子ＴＳに対して、ドレイン端子ＴＤにも正の電圧を印加すると、このパワーＭＯＳＦＥＴはオン状態となり、電子電流がソース領域８から反転層（チャネル領域６ｂ）を通ってｎ－エピタキシャル層（ドレイン領域）４に流れ、この電子電流の一部はｎ形領域４２を通ってｎ＋半導体基板２に流れる。すなわち、ドレイン端子ＴＤからソース端子ＴＳに向かって電流が流れる。

【００４４】一方、ゲート端子ＴＧをソース端子ＴＳと短絡させるか、またはソース端子ＴＳに対して、ゲート端子ＴＧに負の電圧を印加すると、チャネル領域６ｂの反転層は消滅し、このパワーＭＯＳＦＥＴはオフ状態となり電流が遮断される。

【００４５】以上のように、このトレンチ型パワーＭＯＳＦＥＴは、ベース領域６及びｎ－エピタキシャル層４内に形成されたトレンチ４０と、このトレンチ４０内にゲート絶縁膜１４を介して形成されたゲート電極１６を有し、ゲート電極１６に正のバイアスを印加することによりゲート絶縁膜１４に接するトレンチ側壁近傍のベース領域（チャネル領域６ａ）にチャネルが形成されるように構成されている。前記トレンチ４０は、ベース領域６を突き抜けてｎ－エピタキシャル層４に突き出すように形成され、さらにトレンチ４０底部のｎ－エピタキシャル層４にはｎ－エピタキシャル層４と同じ導電形（ｎ形）で、かつｎ－エピタキシャル層４より高濃度のｎ形領域４２が形成されている。このようにトレンチの深さとトレンチ底部に形成される拡散領域がこの第３の実施の形態の特徴部分である。

【００４６】この第３の実施の形態では、トレンチの底部に形成される拡散領域を、耐圧が問題にならない範囲内でｎ－エピタキシャル層より高濃度に形成することにより、素子オン抵抗を低減できる。

【００４７】以上説明したようにこの第３の実施の形態によれば、トレンチ底部に、ドレイン領域と同じ導電形で、耐圧が問題にならない範囲内でｎ－エピタキシャル層（ドレイン領域）の濃度より高濃度な拡散領域を形成することにより、素子オン抵抗を低減した素子を提供することができる。

【００４８】次に、この発明の前記第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの製造方法について説明する。

【００４９】図４～図８は、前述した第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの製造方法を示す各工程の断面図である。

【００５０】まず、図４に示すように、不純物濃度が１．０×10^{18}～１．０×10^{19}［cm^{-3}］程度のｎ＋半導体基板２上に、エピタキシャル成長法により不純物濃度が２．０×10^{15}［cm^{-3}］程度のｎ－エピタキシャル層４を厚さ５μｍ程度形成する。このｎ－エピタキシャル層４に、図５に示すように、イオン注入法によりボロン（Ｂ）など導入し、その後１１００℃～１２００℃程度の熱処理を行って、ｐ形領域からなるベース領域６を表面から深さ２μｍ程度まで形成する。続いて、前記ベース領域６の上層に、イオン注入法によりヒ素（Ａｓ）あるいはリン（Ｐ）など導入し、その後９００℃～１０００℃程度の熱処理を行って、ｎ＋領域からなるソース領域８を深さ０．３μｍ～０．４μｍ程度形成する。

【００５１】次に、図６に示すように、ＲＩＥ法などの異方性エッチングにより、前記ソース領域８の表面からベース領域６内に亘って、表面から１．８μｍ程度の深さのトレンチ１０を形成する。このとき、トレンチ１０の底面１０ａがｎ－エピタキシャル層４に到達しないように、ベース領域６内に留まるようにする。

【００５２】このトレンチ１０の底面１０ａ下のベース領域６及びｎ－エピタキシャル層４に、図７に示すように、イオン注入法によりヒ素（Ａｓ）あるいはリン（Ｐ）など導入し、その後９００℃～１０００℃程度の熱処理を行って、ｎ－エピタキシャル層４と同程度か、あるいはこれより若干高い濃度のｎ形領域１２を層厚

13

０．５μm程度形成する。ここでは、ｎ形領域１２の不純物濃度を２．０×１０^{15}～４．０×１０^{15}［ｃｍ$^{-3}$］程度に設定する。

【００５３】さらに、図８に示すように、トレンチ１０の側面上及び底面１０ａ（ｎ形領域１２）上に、シリコン酸化膜等からなるゲート絶縁膜１４を厚さ５００Å～１０００Å程度形成する。このゲート絶縁膜１４の内面上に、トレンチ１０を埋め込むようにＣＶＤ法によりポリシリコン膜からなるゲート電極１６を形成する。その後、全面に絶縁膜を厚さ０．６μm～１μm程度形成し、パターニングを行って図１に示すように、前記ゲート電極１６上に層間絶縁膜１８を形成する。続いて、全面にアルミニウム（Ａｌ）等からなる金属膜を形成し、パターニングを行ってソース領域８とベース領域６に電気的に接続されたソース電極２０を形成する。さらに、ｎ＋半導体基板（ドレイン領域）２の裏面上に、ニッケル（Ｎｉ）、金（Ａｕ）等からなるドレイン電極２２をｎ＋半導体基板２と電気的に接続されるように形成する。以上により、第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴが製造できる。

【００５４】以上説明したような製造方法によれば、図１に示した前記第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴを容易に製造することができる。さらに、上述の製造方法において、トレンチを形成するためのＲＩＥ法の製造条件、拡散層を形成するためのイオン注入時の条件などを適宜設定すれば、図２、図３に示した前記第２、第３の実施の形態のトレンチ型パワーＭＯＳＦＥＴも容易に製造することができる。

【００５５】

【発明の効果】以上述べたようにこの発明によれば、スイッチング損失を低減し、かつ耐圧を向上させることができ、さらに低オン抵抗化も可能な半導体装置及びその製造方法を提供することが可能である。

【図面の簡単な説明】

【図１】この発明の第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの構造を示す断面図である。

【図２】この発明の第２の実施の形態のトレンチ型パワーＭＯＳＦＥＴの構造を示す断面図である。

14

*【図３】この発明の第３の実施の形態のトレンチ型パワーＭＯＳＦＥＴの構造を示す断面図である。

【図４】前記第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの製造方法を示す各工程の断面図である。

【図５】前記第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの製造方法を示す各工程の断面図である。

【図６】前記第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの製造方法を示す各工程の断面図である。

【図７】前記第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの製造方法を示す各工程の断面図である。

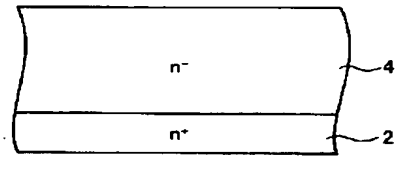
【図８】前記第１の実施の形態のトレンチ型パワーＭＯＳＦＥＴの製造方法を示す各工程の断面図である。

【図９】従来のトレンチ型パワーＭＯＳＦＥＴの構造を示す断面図である。

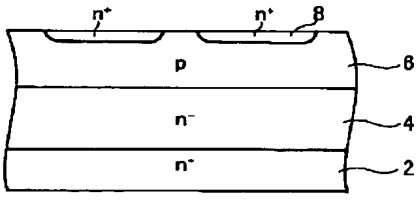
【符号の説明】

２…高濃度のｎ形半導体基板（ｎ＋半導体基板）
４…低濃度のｎ形エピタキシャル層（ｎ－エピタキシャル層）
６…ベース領域（ｐ形領域）
６ａ…チャネル領域
６ｂ…チャネル領域
８…ソース領域（ｎ＋領域）
１０…トレンチ（Ｕ字形状の溝）
１０ａ…トレンチ底面
１２…ｎ形領域
１４…ゲート絶縁膜
１６…ゲート電極
１８…層間絶縁膜
２０…ソース電極（Ａｌ等）
２２…ドレイン電極
３０…トレンチ（Ｕ字形状の溝）
３０ａ…トレンチ底面
４０…トレンチ（Ｕ字形状の溝）
４０ａ…トレンチ底面
ＴＧ…ゲート端子
ＴＳ…ソース端子
ＴＤ…ドレイン端子

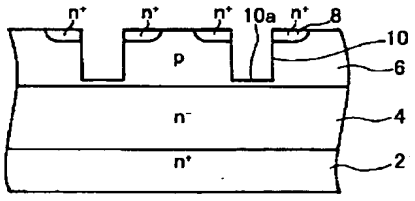
【図４】



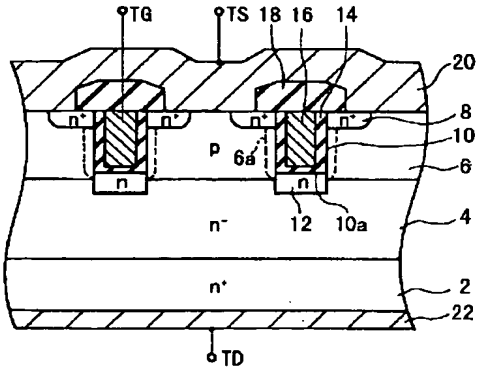
【図５】



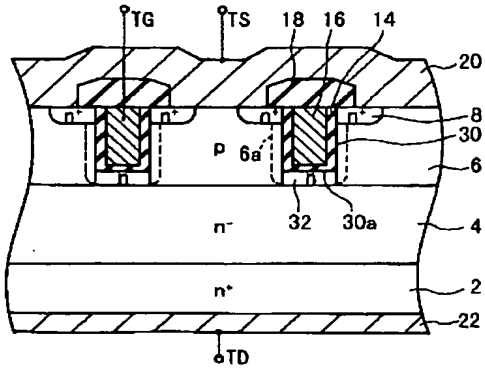
【図６】



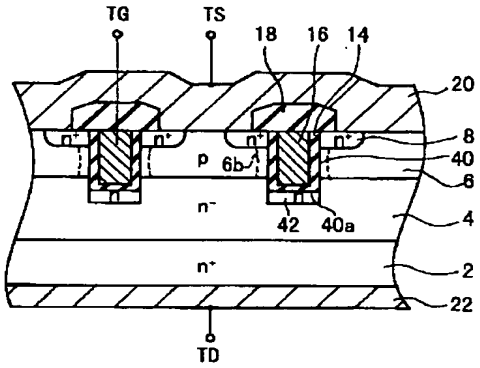
【図１】



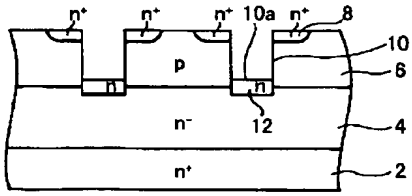
【図２】



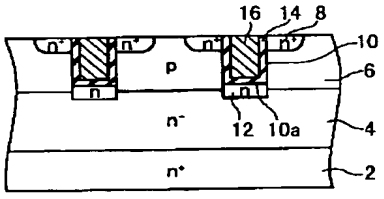
【図３】



【図７】



【図８】



【図９】